

(11)特許出願公開番号

特開平6-276215

(43)公開日 平成6年(1994)9月30日

(51) Int. Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 12/48		8732-5K	H 0 4 L 11/20	Z
12/40		7341-5K	11/00 3 2 0	

審査請求 未請求 請求項の数2 OL (全 11 頁)

(21)出願番号 特願平5-59992

(22)出願日 平成5年(1993)3月19日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地

(72)発明者 梶原 康弘
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 矢澤 重彦
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

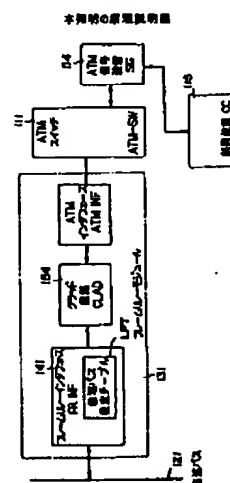
(74)代理人 弁理士 斉藤 千幹

(54) 【発明の名称】 フレームリレーモジュール制御方式

(57) 【要約】

【目的】 ハードウェアを削減し、かつ、インターフェース制御を簡単にする。

【構成】 FRインターフェース回路141に所定の処理を実行させる場合、制御装置115はFRインターフェース回路141を特定するデータを含む制御情報フレームをATMセル化し、ATM信号装置114、ATMスイッチ111を介してフレームリレーモジュール131に送出する。FRインターフェース回路131は該制御情報フレームを取り込み、該制御フレーム内のコマンドの指示に従って処理を実行する。例えば、FRインターフェース回路141に保持されている論理バス設定テーブルLPTを変更する場合には、制御装置115は該FRインターフェース回路を特定するデータとコマンドとテーブル内容を含む制御情報フレームをATMスイッチを介してフレームリレーモジュール131に送出する。FRインターフェース回路141はコマンドに従ってテーブル内容を変更する。



【特許請求の範囲】

【請求項1】 ATMスイッチと、

ローカル高速バスと、

該ローカル高速バスから入力されたフレームに論理バス設定テーブルを参照して論理バス情報を付加すると共に、相手から送られてくるフレームを取り込んでローカル高速バスに送出する複数のフレームリレーインターフェース回路、フレームをATMセル化すると共にATMセルをフレーム化するクラッド回路、ATMスイッチとのインターフェースを司るATMインターフェース回路を有するフレームリレーモジュールとを備えた高速交換システムのフレームリレーモジュール制御方式において、

データフレームと制御情報フレームを区別させる識別子をフレームに付加し、

ATMスイッチに接続された制御装置は、フレームリレーインターフェース回路を特定するデータを含む制御情報フレームをATMセル化してATMスイッチを介してフレームリレーモジュールに送出し、

特定されたフレームリレーインターフェース回路は該制御情報フレームを取り込んで指示された処理を実行することを特徴とするフレームリレーモジュール制御方式。

【請求項2】 所定のフレームリレーインターフェース回路に保持されている論理バス設定テーブルに論理バス情報を登録する際、制御装置は該フレームリレーインターフェース回路を特定するデータと論理バス情報を含む制御情報フレームをATMセル化し、ATMスイッチを介してフレームリレーモジュールに送出し、

特定されたフレームリレーインターフェース回路は該制御情報フレームを取り込んで論理バス情報を論理バス設定テーブルに登録することを特徴とする請求項1記載のフレームリレーモジュール制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフレームリレーモジュールを有する高速交換システムにおけるフレームモジュール制御方式に係わり、特に制御装置とフレームリレーインターフェース回路の制御部間でATMスイッチを介して相互に制御情報フレームを送信、受信して所定の処理を実行するフレームモジュール制御方式に関する。

【0002】

【従来の技術】 フレームリレー (FR) は大量のデータを瞬間的に通信する用途、すなわち、バースト的にデータ通信する用途に適した伝送/交換技術であり、高速バスであるLAN間のデータ伝送/交換に適している。

又、フレーム単位で相手の識別と多重通信を実現するため、通信回線を効率良く利用することができる。すなわち、FRフレームのヘッダには、フレームを識別するための制御情報 (Data Link Connection Identifier: DLCI) が付加されており、このDLCIを使って相手先

を網に伝えるため、異なる値のDLCIを持つフレームを続けて送ることによりフレーム多重機能が実現される。

【0003】 図8はフレームモジュールを有する高速交換システムの構成図であり、ATM網を介してフレームを伝送する例である。11はATMスイッチ (ATM-SW)、12はATM端末、13はATMインターフェース回路 (ATM-INF) である。ATMインターフェース回路13はルーチングテーブル (図示せず) を有し、ATMセルが入線12'より入力されると該ルーチングテーブルに基づいてATMセルのVCIの付け替えやルーチング情報 (タグ等) を付加してATMスイッチ11に送り出す。又、ATMスイッチ11から入力されたATMセルに付加されているルーチング情報を除去してATM端末側の回線12'に出力する。14はATMスイッチ11の出口に設けられたATM信号装置 (SIG)、15は呼処理その他の処理を行うプロセッサ (CC)、16は保守用のコンソール、17はバス線、18は後述するFRインターフェース回路とシリアルにデータ授受を行うシリアルインターフェース回路 (SSR) である。各ATM端末12 (図では1つのみ示している) には予め信号用VCIが設定されており、又、ATMインターフェース13内のルーチングテーブルには信号用VCIに対応させて該VCIを有するセルの出線14'を特定するためのルーチング情報が設定されている。

【0004】 ATM端末12が着信端末を呼び出すための発呼操作を行うと、ATM端末12内のセル組み立て部は発信番号、着信番号、端末の種別、属性等を含むデータをセル単位に分割し、各分割データに信号用VCIを付して信号セルを生成し、該信号セルをATMインターフェース13に入力する。ATMインターフェースは該セルを出線14'にルーチングするための接続情報を付加してATMスイッチ11に送り出す。ATMスイッチ11は信号セルが送られてくるとルーチング情報に基づいて該信号セルを出線14'にルーチングして信号装置14に入力する。信号装置14は信号セルを受信すれば、信号セルに含まれる情報を組み立てて (フレーム化して) プロセッサ15に通知する。プロセッサ15は発信者サービス分析処理、課金処理、着信数字翻訳処理等の呼処理を行うと共に、方路 (VPI) 及び呼識別情報 (VCI) を決定し、信号網 (図示せず) を介して図示しない中継ATM交換機に発信番号、着信番号、VPI、VCI、その他のデータを含む接続情報を送出する。以後、中継交換機は同様な処理を行い、最終的に着信端末が接続されたATM交換機までのバスが確立し、該バスを介してATM端末12からのデータセルが着信側のATM端末に伝送される。

【0005】 21a、21b、21c・・・は高速バス、例えばLAN (Local Area Network)、22a、22

b, 22c・・・はFRルータ(R)であり、LANに収容された端末から送出されるフレームに含まれる着信相手のアドレス(Internal Protocol Address: IPアドレス)を参照してDLCI(Data Link Connection Identifier)を求めてフレームに付加すると共に、後述するフレームリレーモジュール側から入力されるフレームに付加されているDLCIを削除してLAN側に出力する。

【0006】31、32・・・はFRルータとATMスイッチ11間に設けられたフレームリレーモジュールであり、それぞれ同一の構成を有している。フレームリレーモジュール31、32・・・において、41、42・・・フレームリレーインターフェース回路(FRインターフェース回路: FR INF)であり、FRルータ(R)から入力されたフレームに論理バス情報を付加すると共に、ATMスイッチ11等を介して送られてくるフレームを取り込んでFRルータに送出する。51は高速バス(FAST BUS)であり、複数のFRインターフェース回路41、42、・・・が接続され、各FRインターフェース回路41、42、・・・には所定のポートアドレス(PA)が割り当てられている。52はバスの競合制御(バス使用権の制御)を行うバスコントローラ(BC)、53は高速バス51に接続されたバッファ(ポートアドレス0が割り当てられている)、54はフレームをセル化すると共にATMセルをフレーム化するクラッド回路(Cell Assembly Deassembly: CLAD)、55はクラッド回路から入力されたATMセルのVCIを付け替えると共に、セルにルーチング情報を付加してATMスイッチ11に入力し、又、ATMスイッチ11から入力されたATMセルよりルーチング情報を除去してクラッド回路に入力するATMインターフェース回路である。

【0007】FRインターフェース回路41、42は図9に示す構成を有している。61はバスインターフェース、62は受信バッファ、63は送信バッファ、64はFRルータとの間でフレームの授受を行うトランスミッタレシーバ(T/R)、65はプロセッサ(CTL)、66はダイレクトメモリアクセス制御部(DMA)、67はメモリ(M)、68はシリアルインターフェース回路(SSR')、69はバスである。メモリ67には論理バス設定テーブルLPTが記憶されている。論理バス設定テーブルLPTは図10(a)、(b)に示すように、①FRルータから入力されたフレームに付されているDLCI値と論理バスデータ(PA, VPI/VCI, DPA, LA)との対応関係を示す第1テーブルLPT₁と、②ATMスイッチを介して相手から送られてきたフレームに含まれるリンクアドレスLAとDLCI値との対応を記憶する第2テーブルLPT₂を有している。

【0008】第1テーブルLPT₁において、"PA"はFRインターフェース回路41、42、・・・及びバ

ッファ53のポートアドレス(バッファのポートアドレスは0)、"VPI/VCI"は仮想バス識別子/仮想チャネル識別子、"DPA"は相手先フレームリレーモジュール内のFRインターフェース回路を特定する相手先ポートアドレス、"LA"はフレームが相手に届いた時、どのDLCI値に変換するかというリンケージを取るための内部情報である。第2テーブルLPT₂において、"LA"はATMスイッチを介して相手から送られてきたフレームに含まれるリンクアドレスである。

10 【0009】ATMスイッチ11を介さず別のLANにフレームを伝送する場合(FRM内接続)、該フレームのDLCI値に対応するVPI/VCI及びDPAは共に0にされ(①、②参照)、又、ポートアドレスPAはフレーム伝送先のLANに対応するFRインターフェース回路のポートアドレス#a、#b、・・・とされる。一方、ATMスイッチ11を介してフレームを伝送する場合(他FRM接続)、ポートアドレスPAは0(バッファ53のポートアドレス)にされる。プロセッサ65はFRルータからDLCI値付きのフレームを受信すると、第1テーブルLPT₁を参照して論理バスデータを求め、フレームのDLCIを除去すると共に、該論理バスデータデータを付加して送出する。すなわち、FRM内接続の場合には図11(a)に示すように、ポートアドレスPAとリンクアドレスLAが付加され、他FRM接続の場合には図11(b)に示すようにポートアドレス(=0)、VPI/VCI、相手先ポートアドレスDPA、リンクアドレスLAが付加される。

【0010】・FRM内接続

例えば、LAN21b(図8)の端末からLAN21cの端末へフレームを伝送する場合、FRルータ22bは着信先に応じたDLCI値をフレームに付加してFRインターフェース回路41に入力する。FRインターフェース回路41は論理バス設定テーブルLPTを参照して図11(a)に示す構成のフレームを高速バス51に送り出す。尚、ポートアドレスPAはFRインターフェース回路42のポートアドレスになっている。各FRインターフェース回路41、42、・・・はフレームのポートアドレスPAが自分のポートアドレスと一致するか監視しており一致すれば受信する。この結果、フレームはFRインターフェース回路42により受信される。FRインターフェース回路42は第2テーブルLPT₂を参照し、受信したフレームに含まれるリンクアドレスLAよりDLCI値を求める。このDLCI値より発信元を認識できる。ついで、FRインターフェース回路42は論理バスデータ(PA, LA)を削除し、代わってDLCI値を付けてFRルータ22cに送る。FRルータ22cはDLCI値を削除してLAN21cに転送し、フレームに含まれるIPアドレスと一致する端末が該フレームを受信する。

50 【0011】・他FRM接続

例えば、LAN21bの端末からLAN21aの端末へフレームを伝送する場合、FRルータ22bは着信先に応じたDLCI値をフレームに付加してFRインターフェース回路41に入力する。FRインターフェース回路41は論理バス設定テーブルを参照して図11(b)に示す構成のフレームを高速バス51に送り出す。尚、ポートアドレスPAは0である。バッファ53はポートアドレスPAが0のフレームを取り込み、同一宛先毎に(同一VPI/VCI毎に)フレームを順次バッファリングする。クラッド回路54は同一宛先毎にフレームのDPA、LA、データをまとめてセル化すると共に、上記VPI/VCIをヘッダに付加してATMインターフェース回路55に入力する。ATMインターフェース回路55はクラッド回路54から入力されたATMセルのVCIを付け替えると共に、セルにルーチング情報を付加してATMスイッチ11に入力する。ATMスイッチ11はルーチング情報に基づいてATMセルをフレームリレーモジュール32にルーチングし、該モジュールのATMインターフェース回路に入力する。フレームリレーモジュール32のATMインターフェース回路はルーチング情報を除去してクラッド回路に入力し、クラッド回路は入力されたATMセルを図11(c)に示すようにフレーム化し、バッファを介して順次高速バスに出力する。以後、図11(c)におけるDPAがポートアドレスPAになり、前述のFRM内接続の場合と同様に所定のFRインターフェース回路に取り込まれ、DLCI値を付加されてFRルータ22aに入力される。FRルータ22aはDLCI値を削除してLAN21aに転送し、フレームに含まれるIPアドレスと一致する端末が該フレームを受信する。

【0012】以上のように、フレームリレー(FR)では各FRインターフェース回路に予め論理バス設定テーブルLPTを設定しておき、該論理バス設定テーブルを参照して論理バスを確立し、該バスを介してフレームを相手先に伝送する。このため、新規加入があった時のように加入者に変更が生じると、論理バス設定テーブルLPTにおける論理バスデータを変更したり、該テーブルに新たに論理バスデータを登録する必要がある。かかる論理バスデータを変更あるいは登録するには、コンソール16より対象となる論理バス設定テーブルを保持するFRインターフェース回路を特定すると共に、データ変更/追加/削除コマンドと論理バスデータを制御装置15に入力する。制御装置15はシリアルインターフェース回路18を介して前記特定されたFRインターフェース回路にコマンド及び論理バスデータを送る。FRインターフェース回路のシリアルインターフェース回路(SSR')68は該データを受信し、プロセッサ65はコマンドに基づいて論理バス設定テーブルLPTにおける論理バスデータを変更/追加/削除する。又、プロセッサ68はコマンドに対する応答をシリアルインター

フェースを介して制御装置15に送る。

【0013】

【発明が解決しようとする課題】以上のように論理バス設定テーブルLPTを変更するためには従来、制御装置側に1つのシリアルインターフェース回路(SSR)を設け、各FRインターフェース回路にシリアルインターフェース回路(SSR')をそれぞれ設けなくてはならず、ハードウェア量が大きくなり、しかも、シリアルインターフェースを介した制御信号の送受機能が必要となりFRインターフェース回路の処理が複雑になる問題があった。以上から本発明の目的は、ハードウェア量を減少でき、しかもFRインターフェース回路の処理を簡単にできるフレームリレーモジュールの制御方式を提供することである。

【0014】

【課題を解決するための手段】図1は本発明の原理説明図である。111はATMスイッチ、114はATM信号装置、115は呼処理や論理バス設定テーブルの変更処理を行う制御装置、121はLAN等のローカル高速バス、131はフレームリレーモジュール、141はローカル高速バスから入力されたフレームに論理バス設定テーブルLPTを参照して論理バス情報を付加すると共に、相手から送られてくるフレームを取り込んでローカル高速バスに送出するFRインターフェース回路、154はフレームをATMセル化すると共にATMセルをフレーム化するクラッド回路、155はATMスイッチとのインターフェースを司るATMインターフェース回路である。

【0015】

【作用】FRインターフェース回路141に所定の処理を実行させる場合、制御装置115はFRインターフェース回路141を特定するデータを含む制御情報フレームをATMセル化し、ATMスイッチ111を介してフレームリレーモジュール131に送出する。FRインターフェース回路141は該制御情報フレームを取り込み、該制御情報フレーム内のコマンドの指示に従って処理を実行する。例えば、FRインターフェース回路141に保持されている論理バス設定テーブルLPTの内容を変更する場合には、制御装置115は該FRインターフェース回路を特定するデータとコマンドとテーブル内容を含む制御情報フレームをATMセル化し、ATMスイッチを介してフレームリレーモジュール131に送出する。FRインターフェース回路141は該制御情報フレームを取り込み、コマンドに従ってテーブル内容を変更する。このようにすれば、制御装置と各FRインターフェース回路間でデータ授受するためのシリアルインターフェース回路が不要になり、しかも、ATMスイッチに標準的に設けられているハードウェアにより制御情報フレームの授受ができ、ハードウェアの削減が可能となる。又、識別子によりデータフレームと制御情報フレーム

ムを区別させ、データフレームか制御フレームかの区別をして所定の処理を行えば良いためインターフェース制御を簡単にすることができる。

【0016】

【実施例】全体の構成

図2は本発明のフレームリレーモジュール制御方式を実現する高速交換システムの構成図であり、ATM網を介してフレームを伝送する例である。111はATMスイッチ(ATM-SW)、112はATM端末、113はATMインターフェース回路(ATM-INF)、114はATMスイッチ111の出口に設けられたATM信号装置(SIG)、115は呼処理その他の処理を行うプロセッサ(CC)、116は保守用のコンソール、117はバス線である。121a、121b、121c・・・は高速バスで例えばLAN、122a、122b、122c・・・はFRルータ(R)であり、LANに收容された端末から送出されるフレームに含まれる着信相手のアドレス(Internal Protocol Address: IPアドレス)を参照してDLCI(Data Link Connection Identifier)を求めてフレームに付加すると共に、後述するフレームリレーモジュール側から入力されるフレームに付加されているDLCIを削除してLAN側に出力する。

【0017】FRルータは図3に示すように、LANインターフェース部RLIと、フレーム変換部RFCと、フレームリレーインターフェース部RFIを有している。フレーム変換部RFCはIPアドレスとDLCIの対応テーブルTBを備え、LANから入力されたフレームに含まれるIPアドレスに応じたDLCIを求めてフレームに付加し(図4(a))、かつ、フレームリレーモジュールFRMから入力されたフレームに付加されているDLCIを削除する(図4(b))。図2に戻って、131、132・・・はFRルータとATMスイッチ111間に設けられたフレームリレーモジュール(FRM)であり、それぞれ同一の構成を有している。フレームリレーモジュール131、132・・・において、141、142・・・FRインターフェース回路(FR-INF)であり、FRルータ(R)から入力されたフレームに論理バス情報を付加すると共に、ATMスイッチ111を介して相手先から送られてくるフレームを取り込んでFRルータに送出する。151は高速バス(FAST BUS)であり、複数のFRインターフェース回路141、142、・・・が接続され、各FRインターフェース回路141、142、・・・には所定のポートアドレス(PA)が割り当てられている。152はバスの競合制御を行うバスコントローラ(BC)、153は高速バスに接続されたバッファ(ポートアドレス0が割り当てられている)、154はフレームをセル化すると共にATMセルをフレーム化するクラッド回路、155はクラッド回路から入力されたATMセルのVCIを付け替える

と共に、セルにルーチング情報を付加してATMスイッチ111に入力し、又、ATMスイッチ111から入力されたATMセルよりルーチング情報を除去してクラッド回路に入力するATMインターフェース回路である。

【0018】FRインターフェース回路の構成

FRインターフェース回路141、142は図5に示す構成を有している。161はバスインターフェース、162は受信バッファ、163は送信バッファ、164はFRルータとの間でフレームの授受を行うトランスミッタレシーバ(T/R)、165はプロセッサ(CTL)、166はダイレクトメモリアクセス制御部(DMA)、167はメモリ(M)、168はバスである。メモリ167には論理バス設定テーブルLPTが記憶されている。論理バス設定テーブルLPTは従来と同様の構成を有している(図10(a)、(b)参照)。このFRインターフェース回路において、注目すべきは、従来のFRインターフェース回路(図9参照)と異なり、シリアルインターフェース回路SSR'が存在しない点である。

【0019】フレーム

フレームにはデータフレームと制御フレームが存在し、それらの区別用の識別子C/Dがフレームに付加される。図6(a)はデータフレームの説明図であり、識別子C/Dは"0"とされ、他の情報は従来と同様の意味を有している(図11参照)。すなわち、データフレームをATMスイッチ111を介さずにフレームリレーモジュールに收容される別のLANに伝送する場合(FRM内接続①)、該フレームにはVPI/VCI及びDPAは付加されず、ポートアドレスPAとリンクアドレスLAのみが付加される。そして、ポートアドレスPAはデータフレーム伝送先のLANに対応するFRインターフェース回路のポートアドレスとなる。又、ATMスイッチ111を介してデータフレームを伝送する場合(他FRM接続②)、ポートアドレスPA、VPI/VCI、相手先ポートアドレスDPA、リンクアドレスLAが付加され、ポートアドレスPAは0(バッファ53のポートアドレス)にされる。FRインターフェース回路のプロセッサ165はFRルータからDLCI値付きのフレームを受信すると、第1テーブルLPT₁(図10(a))を参照して論理バスデータを求め、DLCIを削除し、代わって求めた論理バスデータと識別子C/D(=0)を付加して高速バス151に送出する。すなわち、FRM内接続の場合には図6(a)の①に示すように、ポートアドレスPAとリンクアドレスLAと識別子C/D(=0)を付加し、他FRM接続の場合には図6(a)の②に示すようにポートアドレス(=0)、VPI/VCI、相手先ポートアドレスDPA、リンクアドレスLA、識別子(=0)を付加して高速バス151に送出する。

【0020】図6(b)は制御情報フレームの説明図であり、識別子C/Dは"1"とされる。制御情報フレーム①は制御装置115より出力されるフレームで、論理バ

ス設定テーブルLPTに論理バス情報を登録するためのフレーム例である。先頭のPAは論理バス設定テーブルLPTを保持するFRインターフェース回路のポートアドレス、C/Dは識別子、CMはコマンドで例えば登録コマンド、③の部分は新たに登録する論理バス設定テーブルの内容(論理バス情報)である。制御情報フレーム②はFRインターフェース回路から送出される応答用の制御フレームであり、PAはバッファ153のポートアドレス(=0)、C/Dは識別子、VPI/VC Iは信号用の仮想バス識別子/仮想チャネル識別子、RSはコマンドに対する応答であることを示すもの、ACK/NACKはコマンド処理実行/不実行を示す情報である。

【0021】ATM信号装置

ATM信号装置114は図7に示すように、コントロール部114aと、フレーム情報にレイヤ2の処理を施して送り出すLAPD処理部114bと、ATMセルをフレーム化すると共に、フレームをATMセル化するクラッド回路114cと、ルーチングテーブル114dと、クラッド回路から入力されたATMセルにルーチング情報を付加すると共に、ATMスイッチから入力されてATMセルよりルーチング情報を削除するATMインターフェース回路114eを有している。コントロール部114aには、フレーム伝送先のフレームリレーモジュールFRMとVC I/VPIの対応関係を記憶するテーブルTBLが設けられ、クラッド回路114cには制御装置(CC)115から入力された制御情報フレームをセル化すると共に各セルに伝送先のフレームリレーモジュールに応じたVPI/VCIを付加する送信用クラッド部S-CLADとATMインターフェース回路114eより入力されたセルをVC I/VPI毎にフレーム化して出力する受信用クラッド部R-CLADが設けられている。ルーチングテーブル114dには、VPI/VCIに対応させてATMセルを所定のフレームリレーモジュールにルーチングするためのルーチング情報が登録されている。

【0022】全体の動作

(a) FRM内接続

例えば、LAN121b(図2)の端末からLAN121cの端末へフレームを伝送する場合、FRルータ122bは着信先に応じたDL CI値をフレームに付加してFRインターフェース回路141に入力する。FRインターフェース回路141は論理バス設定テーブルを参照して図6(a)の④に示す構成(C/D=0)のデータフレームを高速バス151に送り出す。尚、ポートアドレスPAはFRインターフェース回路142のポートアドレスになっている。各FRインターフェース回路141、142、・・・はフレームのポートアドレスPAが自分のポートアドレスと一致するか監視しており一致すれば受信する。この結果、フレームはFRインターフェース回路142により受信される。FRインターフェース回路142は識別子C/Dに基づいてデータフレーム

か制御情報フレームかの識別を行い、データフレームの場合には識別子を削除し、次いで、第2テーブルLPT: (図10(b))を参照し、受信したフレームに含まれるリンクアドレスLAよりDL CI値を求める。しかる後、FRインターフェース回路142は論理バスデータ(PA、LA)を削除すると共にDL CI値を付けてFRルータ122cに送る。FRルータ122cはDL CI値を削除してLAN121cに転送し、フレームに含まれるIPアドレスと一致する端末が該フレームを受信する。

【0023】(b) 他FRM接続

例えば、LAN121bの端末からLAN121aの端末へフレームを伝送する場合、FRルータ122bは着信先に応じたDL CI値をフレームに付加してFRインターフェース回路141に入力する。FRインターフェース回路141は論理バス設定テーブルを参照して図6(b)の④に示す構成のデータフレーム(C/D=0)を高速バス151に送り出す。尚、ポートアドレスPAは0である。バッファ153はポートアドレスPAが0のフレームを取り込み、同一宛先毎に(同一VPI/VC I毎に)フレームを順次バッファリングする。クラッド回路154は同一宛先毎にフレームのC/D、DPA、LA、データをまとめてセル化すると共に、上記VPI/VC Iをヘッダに付加してATMインターフェース回路155に入力する。ATMインターフェース回路155はクラッド回路154から入力されたATMセルにルーチング情報を付加してATMスイッチ111に入力する。ATMスイッチ111はルーチング情報に基づいてATMセルをフレームリレーモジュール132にルーチングし、該モジュールのATMインターフェース回路に入力する。フレームリレーモジュール132のATMインターフェース回路はルーチング情報を除去してクラッド回路に入力し、クラッド回路は入力されたATMセルを図6(a)の④に示すようにフレーム化し(DPAがポートアドレスPAになっている)、バッファを介して順次高速バスに出力する。以後、前述のFRM内接続の場合と同様に所定のFRインターフェース回路に取り込まれ、C/D、PA、LAが削除され、代わってDL CI値が付加されてFRルータ122aに入力される。FRルータ122aはDL CI値を削除してLAN121aに転送し、フレームに含まれるIPアドレスと一致する端末が該フレームを受信する。

【0024】(c) 論理バス情報の登録

例えば、FRインターフェース回路141の論理バス設定テーブルLPTに新たに論理バス情報を登録する場合には、コンソール116より④FRインターフェース回路141が所属するフレームリレーモジュール132と該FRインターフェース回路のポートアドレスPAを入力すると共に、②論理バス情報の登録コマンドを入力し、③更に登録すべき論理バス情報(図6(b)の④)を入

力する。これにより、制御装置(CC)115は図6(b)の制御情報フレーム(C/D=1)を生成して信号制御装置114に入力する。尚、制御情報フレームにおける先頭PAはコンソールから入力されたFRインターフェース回路141のポートアドレスである。又、制御装置115は伝送先のフレームリレーモジュール番号を信号装置114に入力する。

【0025】信号装置114のコントロール部114aは制御情報フレームをLAPD処理部114bに入力すると共に、伝送先フレームリレーモジュールに応じたVPI/VCIをテーブルTBLより求めてクラッド回路114cに入力する。LAPD処理部114bは入力された制御情報フレームにレイヤ2処理を施してクラッド回路114cに入力し、クラッド回路114cは制御情報フレームをセル化すると共に、各セルのヘッダに伝送先フレームリレーモジュールに応じたVPI/VCI付加してATMインターフェース114eに入力する。ATMインターフェース114eはVPI/VCIに応じたルーチング情報をルーチングテーブル114dより求めてATMセルに付加してATMスイッチ111に入力する。ATMスイッチ111はルーチング情報に基づいて入力されたATMセルをフレームリレーモジュール131にルーチングし、該モジュールのATMインターフェース回路155に入力する。ATMインターフェース回路155はルーチング情報を除去してクラッド回路154に入力し、クラッド回路154は入力されたATMセルを図6(b)のdに示すようにフレーム化し、バッファ153を介して順次高速バス151に出力する。

【0026】各FRインターフェース回路141、142・・・はフレームのポートアドレスPAが自分のポートアドレスと一致するか監視しており一致すれば受信する。この結果、制御情報フレームはFRインターフェース回路141により受信される。FRインターフェース回路141は識別子C/Dに基づいてデータフレームか制御情報フレームかの識別を行い、制御情報フレームの場合には、コマンドCMの指示に従って処理を実行する。この場合、コマンドCMは論理バス情報の登録コマンドであるから、FRインターフェース回路141の制御部165(図5)はコマンド以降の論理バス情報を論理バス設定テーブルLPTに登録する。尚、受信した制御情報フレームのDLCIと同一値がテーブルLPTに登録されている場合には上書きして内容の変更を行う。

【0027】以上により、登録処理を正しく実行できれば、プロセッサ165は図6(b)のeに示す応答用の制御情報フレームを作成して高速バス151に送出する。応答用の制御情報フレームのPAはバッファ153のポートアドレス(=0)を示しているから、バッファ153は該制御情報フレームを取り込んでバッファリングする。クラッド回路154は、制御情報フレームのうちC/D、RS、ACK・・・をセル化すると共に、制御情

報フレームに付加されていたVPI/VCIをヘッダに付けてATMインターフェース回路155に入力する。ATMインターフェース回路155はクラッド回路154から入力されたATMセルに信号装置114へのルーチング情報を付加してATMスイッチ111に入力する。ATMスイッチ111はルーチング情報に基づいてATMセルを信号装置114にルーチングし、ATMインターフェース114e(図7)に入力する。ATMインターフェース114eはルーチング情報を除去してクラッド回路114cに入力し、クラッド回路は入力されたATMセルをフレーム化し(C/D+RS+ACK・・・)、LAPD処理部114、コントロール部114aを介して制御装置115に入力する。制御装置115は制御情報フレームを受信して正しく論理バス情報の登録が行われたことを認識してコンソールにその旨を表示し、登録制御を完了する。

【0028】尚、FRインターフェース回路はコマンドに応じた処理を正しく実行できない場合には、すなわち正しく登録処理ができない場合には、制御情報フレームにACKの代わりにNACKを挿入する。又、以上では論理バス情報の登録処理であるが、削除その他のコマンドを適宜制御情報フレームにてFRインターフェース回路に送って所定のコマンドに対する処理を実行させることができる。以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【0029】

【発明の効果】以上本発明によれば、制御装置と各FRインターフェース回路間でデータ授受するためのシリアルインターフェース回路が不要になり、しかも、ATMスイッチに標準的に設けられているハードウェアにより制御情報フレームの授受ができ、ハードウェアの削減が可能となる。又、識別子に基づいてデータフレームか制御フレームかの区別をして所定の処理を行えば良いためインターフェース制御を簡単にすることができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の実施例構成図である。

【図3】FRルータの構成図である。

【図4】FRルータの動作説明図である。

【図5】本発明に係わるFRインターフェース回路の構成図である。

【図6】フレームの説明図である。

【図7】ATM信号装置の構成図である。

【図8】従来のフレームリレーモジュールを有する高速交換システムの構成図である。

【図9】従来のフレームリレーインターフェース回路の構成図である。

【図10】論理バス設定テーブルの構成図である。

13

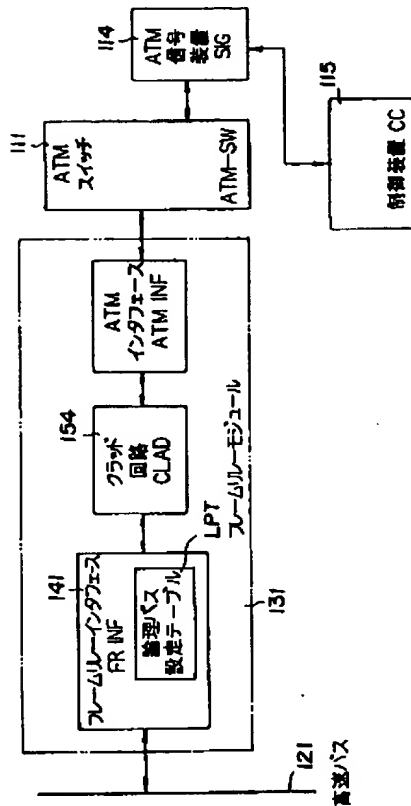
【図11】高速バス上のフレーム構成図である。

【符号の説明】

- 111・・・ATMスイッチ
114・・・ATM信号装置
115・・・制御装置

【図1】

本発明の原理説明図

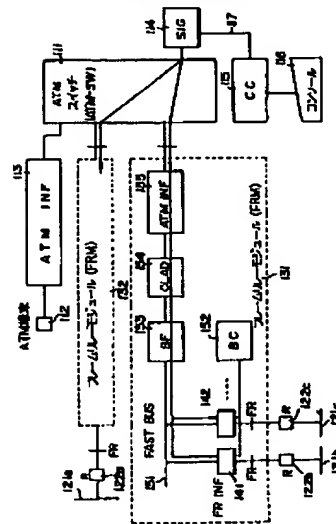


14

- 121・・・ローカル高速バス
131・・・フレームリレーモジュール
141・・・FRインタフェース回路
154・・・クラッド回路
155・・・ATMインタフェース回路

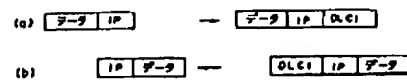
【図2】

本発明の実施例構成図

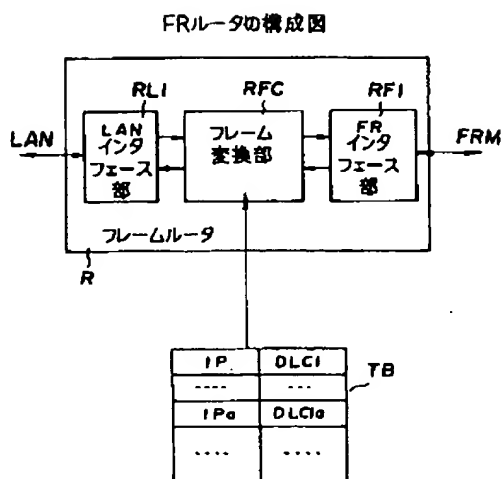


【図4】

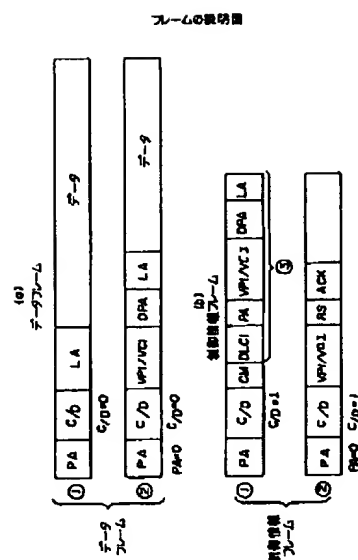
FRルータの動作説明図



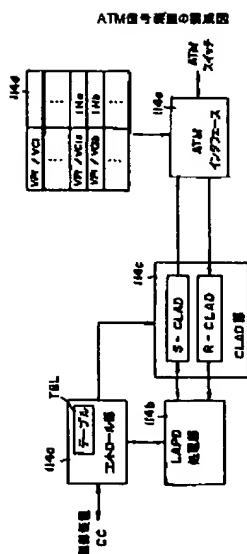
【図 3】



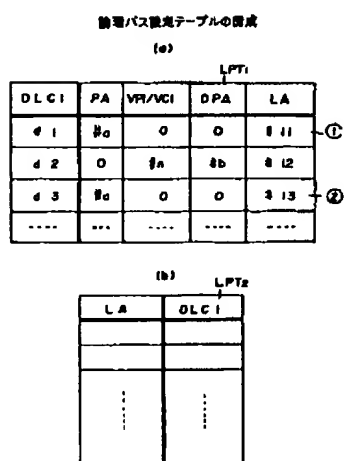
【图6】



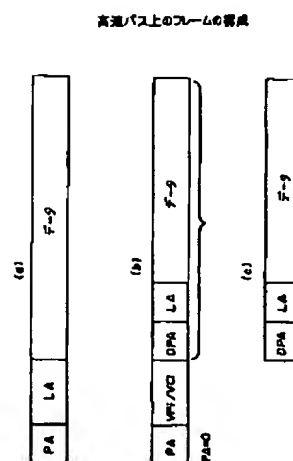
【图7】



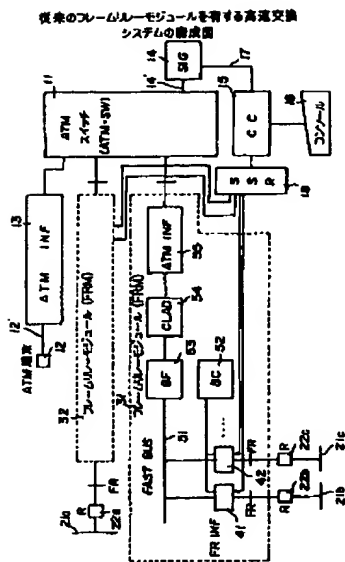
【图 10】



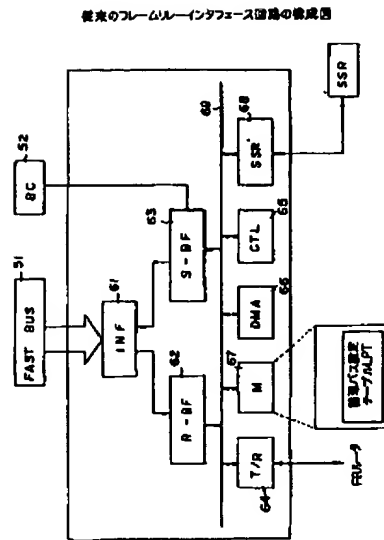
【~~図~~ 1 1】



【図8】



【図9】



1. Japanese Patent Application, First Publication, No. 6-276215

“Frame relay module and high speed switching system control - producing control information frame from control unit connected to ATM switch”

PUBLISHED: September 30, 1994

ABSTRACT: The method of controlling a frame-relay module involves outputting a control-information frame from a control unit connected to the ATM switch. The control-information frame contains data specifying a frame-relay interface circuit as well as a processing command. The control-information frame is assembled into an ATM cell and sent, via the ATM switch, to a frame-relay module in which the specified frame-relay interface circuit is present. The ATM cell is restored to a control-information frame by the ATM interface circuit and cell assembly/disassembly circuit in the frame-relay module. The specified frame-relay interface circuit is made to accept the control-information frame. Processing, which conforms to the command contained in the control-information frame, is executed in the frame-relay interface circuit. This invention can reduce amount of hardware and simplifies FR interface circuit processing.

2. Japanese Patent Application, First Publication, No. 6-350631

“Method and apparatus for exchanging variable length frames by fixed length cell handling exchange”

PUBLISHED: December 22, 1994

ABSTRACT: The invention provides a variable length frame exchanging method adapted to a fixed length cell handling exchange into which a terminal for use with a data communication method by a variable length frame is accommodated, a variable length frame exchanging interface apparatus and a call acceptance determination system, which are improved in that a variable length frame can be exchanged at a high speed in a fixed length cell handling exchange network and a terminal can be connected to and accommodated into the exchange in the same conditions as an existing service. The terminal is connected to the exchange by way of a subscriber line including a plurality of channels. A variable length frame from the terminal is disassembled into fixed length cells, and a use channel number or numbers and a DLCI of the subscriber line are converted into a VPI and a VCI. The VPI and the VCI are added to each of the fixed length cells, respectively, and the resulted fixed length cells are inputted to the exchange so that the frame is exchanged by the exchange.

3. Japanese Patent Application, First Publication, No. 7-202903

“Frame relay interface system for ATM exchange network”

PUBLISHED: August 4, 1995

PURPOSE: This invention is intended to convert the frame relay data with a variable length to an ATM cell in an ATM exchange network by temporarily putting the frame relay data into an intermediate data format and adding common information in these intermediate data.

CONSTITUTION: When dividing and converting frame relay data 101 with a variable length into ATM cells 109 with fixed lengths, flag information (FLAG) is removed from the frame relay data 101, and the data are converted to intermediate data 104 to which a header (CS-H) containing common information for the ATM cells 109 is added by an intermediate converting means 103. The intermediate data 104 are divided into fixed length data 108 by a fixed length converting means 105 and a header, which indicates the position of the intermediate data 104, is added to the fixed length data 108. An ATM header (H) is added to data (P), which are generated by the fixed length converting means

105, by an ATM converting means 106 and the data are transmitted to an ATM exchange network 107 as the ATM cells 109.